

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年10月23日
Date of Application:

出願番号 特願2003-363136
Application Number:

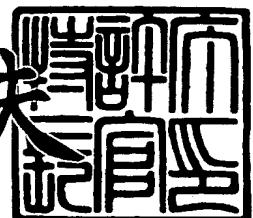
[ST. 10/C] : [JP2003-363136]

出願人 富士通株式会社
Applicant(s):

2004年 1月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0340834
【提出日】 平成15年10月23日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 19/0175
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 古藤 友彦
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100068755
【弁理士】
【氏名又は名称】 恩田 博宣
【選任した代理人】
【識別番号】 100105957
【弁理士】
【氏名又は名称】 恩田 誠
【手数料の表示】
【予納台帳番号】 002956
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9909792

【書類名】特許請求の範囲**【請求項1】**

入力信号の電圧レベルをレベルシフトして出力するレベル変換回路と、該レベル変換回路の出力信号に基づいて動作する差動增幅回路とが設けられた半導体集積回路であって、

前記レベル変換回路は、同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1及び第2のMOSトランジスタの接続点と第3及び第4トランジスタの接続点とから出力信号を出力する回路であり、

前記レベル変換回路における第1のMOSトランジスタと第4のMOSトランジスタのゲートに入力信号が供給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートに前記入力信号の逆相の入力信号が供給されることを特徴とする半導体集積回路。

【請求項2】

前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下としたことを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比と等しくしたことを特徴とする請求項1に記載の半導体集積回路。

【請求項4】

前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタの利得定数を他方のMOSトランジスタの利得定数と等しくしたことを特徴とする請求項1に記載の半導体集積回路。

【請求項5】

入力信号の電圧レベルをレベルシフトして出力するレベル変換回路と、該レベル変換回路の出力信号に基づいて動作する差動增幅回路とが設けられた半導体集積回路であって、

前記レベル変換回路は、同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1のMOSトランジスタと第4のMOSトランジスタのゲートに第1の入力信号が供給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートに第2の入力信号が供給され、前記第1及び第2のMOSトランジスタの接続点から第1の出力信号を出力するとともに第3及び第4トランジスタの接続点から第2の出力信号を出力する回路であり、

前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下としたことを特徴とする半導体集積回路。

【請求項6】

前記差動增幅回路は、前記第1電源と第2電源とに接続され、各電源電圧に基づいて動作することを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路。

【請求項7】

前記第1～第4のMOSトランジスタは、バックゲートがソースに接続されることを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路。

【請求項8】

前記差動增幅回路は複数のMOSトランジスタを含み、前記レベル変換回路の第1～第4のMOSトランジスタは、前記差動增幅回路の各MOSトランジスタよりも高いゲート耐圧を有することを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路。

【請求項9】

ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続

され、ドレインが前記第1及び第4のMOSトランジスタのゲートに接続される第7のMOSトランジスタと、

ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続され、ドレインが前記第2及び第3のMOSトランジスタのゲートに接続される第8のMOSトランジスタと

を備えたことを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路。

【請求項10】

同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1及び第2のMOSトランジスタの接続点と第3及び第4のMOSトランジスタの接続点とから出力信号を出力するレベル変換回路であって

前記第1のMOSトランジスタと第4のMOSトランジスタのゲートには入力信号が供給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートには前記入力信号の逆相の入力信号が供給されることを特徴とするレベル変換回路。

【書類名】明細書

【発明の名称】半導体集積回路、及びレベル変換回路

【技術分野】

【0001】

本発明は、入力信号の電圧レベルをレベルシフトして出力するレベル変換回路と、該レベル変換回路の出力信号に基づいて動作する差動増幅回路とを備えた半導体集積回路、及びレベル変換回路に関するものである。

【0002】

E C L (Emitter Coupled Logic) や S S T L (Stub Series Terminated Logic)、L V D S (Low Voltage Differential Signal) に代表される I C 間を小振幅信号で接続するインターフェース回路では、小振幅信号を増幅して内部回路が動作する信号レベルに変換する必要がある。このインターフェース回路として差動増幅回路を用いるのが一般的となっている。その差動増幅回路は、入力レベルに応じて、遅延時間や出力レベル等の回路特性が変動する性質を持つことから、その入力レベルの変動を抑制する技術が要求されている。

【背景技術】

【0003】

従来、小振幅信号を入力するインターフェース回路としては、差動増幅回路を用いた入力回路が知られている（例えば、特許文献 1 参照）。図 15 には、そのインターフェース回路の具体的な回路構成を示す。

【0004】

図 15 に示すように、インターフェース回路 1 には、プッシュプル回路 2 と差動増幅回路 3 とが設けられている。プッシュプル回路 2 には、4 つの MOS ドランジスタ M1～M4 が備えられ、高電位側の第 1 電源と低電位側の第 2 電源との間に、MOS ドランジスタ M1 と MOS ドランジスタ M2 が直列に接続されるとともに、MOS ドランジスタ M3 と MOS ドランジスタ M4 とが直列に接続されている。MOS ドランジスタ M1, M4 のゲートには入力信号 IN が供給され、MOS ドランジスタ M2, M3 のゲートにはリファレンス電圧 REF が供給される。そして、MOS ドランジスタ M1 と MOS ドランジスタ M2 との接続点から出力信号 OUT が差動増幅回路 3 に供給され、MOS ドランジスタ M3 と MOS ドランジスタ M4 との接続点から出力信号 OUTB が差動増幅回路 3 に供給される。各出力信号 OUT, OUTB は相補の信号であって、差動増幅回路 3 は、プッシュプル回路 2 の各出力信号 OUT, OUTB を増幅した電圧レベルの信号 X を出力する。

【0005】

このように、インターフェース回路 1 では、単一の入力信号 IN がプッシュプル回路 2 で相補の信号 OUT, OUTB に変換された後、差動増幅回路 3 に供給される。この回路構成によって、入力信号 IN が小振幅であっても、差動増幅回路 3 に供給される信号 OUT, OUTB の差電圧が確保される。これにより、入力信号の小振幅化による増幅利得の低下や、それに伴う消費電力の増加が抑制される。

【特許文献 1】特許第 2773692 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、上記インターフェース回路 1において、図 16 に示すような電圧レベルの入力信号 IN (H レベル = 2.4 V, L レベル = 1.6 V) とリファレンス電圧 REF (= 2.0 V) とが入力される場合、出力信号 OUT, OUTB の電圧レベルが半周期毎に異なるレベルとなってしまう。この場合、プッシュプル回路 2 から差動増幅回路 3 に供給される各信号 OUT, OUTB の差電圧が半周期毎に異なるため、差動増幅回路 3 の出力信号 X の遅延時間や信号レベル等の回路特性が変動してしまう。その結果、半導体集積回路における内部回路を正常に動作させることができなくなる。

【0007】

本発明は上記問題点を解決するためになされたものであって、その目的は、レベル変換

回路の出力信号のレベル変動を低減し、差動增幅回路を的確に動作させることができる半導体集積回路、及びレベル変換回路を提供することにある。

【課題を解決するための手段】

【0008】

図1は、本発明の原理説明図である。すなわち、半導体集積回路10は、入力信号IN, INBの電圧レベルをレベルシフトして出力するレベル変換回路11と、該レベル変換回路12の出力信号OUT, OUTBに基づいて、各信号の差電圧を増幅して出力する差動増幅回路12とを備える。レベル変換回路11には、同一導電型の第1～第4のMOSトランジスタM1～M4が設けられている。第1電源と第2電源との間に、第1のMOSトランジスタM1と第2のMOSトランジスタM2とが直列に接続されるとともに、第3のMOSトランジスタM3と第4のMOSトランジスタM4とが直列に接続されている。第1のMOSトランジスタM1と第4のMOSトランジスタM4のゲートには入力信号INが供給され、第2のMOSトランジスタM2と第3のMOSトランジスタM3とのゲートには前記入力信号INの逆相の入力信号INBが供給される。そして、前記第1及び第2のMOSトランジスタM1, M2の接続点から出力信号OUTが出力され、第3及び第4のMOSトランジスタM3, M4の接続点から出力信号OUTBが出力されて、各信号OUT, OUTBが差動増幅回路12に供給される。

【0009】

図2に示すような相補の入力信号IN, INBがレベル変換回路11に入力される場合、レベル変換回路11の出力信号OUT, OUTBは、一定の電圧レベルで振幅する相補信号となる。従って、単一の入力信号INが入力される従来回路とは異なり、差動増幅回路12に供給される相補信号の差電圧は一定レベルに維持されるため、差動増幅回路12を的確に動作させることができる。

【0010】

また、各MOSトランジスタM1～M4について、直列接続された一方のMOSトランジスタM1, M3のゲート長とゲート幅との比を他方のトランジスタM2, M4のゲート長とゲート幅との比の3倍以下とする。このようにすると、入力信号IN, INBの電圧レベルに対する出力信号OUT, OUTBの変動を低減でき、差動増幅回路12の特性変動を抑えることができる。

【0011】

特に、一方のMOSトランジスタM1, M3と他方のトランジスタM2, M4について、ゲート長とゲート幅との比を等しくすると、入力信号IN, INBの電圧レベルに対する出力信号OUT, OUTBの変動を確実に低減できる。

【0012】

さらに、一方のMOSトランジスタM1, M3の利得定数を他方のMOSトランジスタM2, M4の利得定数と等しくしても、入力信号IN, INBの電圧レベルに対する出力信号OUT, OUTBの変動を確実に低減することができる。

【0013】

また、レベル変換回路において、第1のMOSトランジスタと第4のMOSトランジスタのゲートに第1の入力信号が供給され、第2のMOSトランジスタと第3のMOSトランジスタに第2の入力信号が供給される。このレベル変換回路における各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下とすることにより、入力信号の電圧レベルに対する出力信号の変動を低減でき、差動増幅回路の特性変動を抑えることができる。

【0014】

また、差動増幅回路12が第1電源と第2電源とに接続され、該差動増幅回路12の動作電源を前記レベル変換回路11と同じ電源とすることにより、差動増幅回路12側から見た、電源変動によるレベル変換回路11の出力信号OUT, OUTBのレベル変動を抑えることができる。

【0015】

レベル変換回路11を構成する第1～第4のMOSトランジスタM1～M4について、バックゲートがソースに接続される場合、閾値電圧のバックゲート電圧に対する依存を抑制することができる。

【0016】

レベル変換回路11の第1～第4のMOSトランジスタM1～M4は、差動増幅回路12を構成するMOSトランジスタよりも高いゲート耐圧を有する。この場合、差動増幅回路12のMOSトランジスタのゲート耐圧よりも高い電圧レベルの入力信号IN, INBをレベル変換回路11に入力することが可能となる。

【0017】

第1及び第2のMOSトランジスタM1, M2の接続点と差動増幅回路12との間に、同一導電型の第5のMOSトランジスタが設けられるとともに、第3及び第4のMOSトランジスタM3, M4の接続点と差動増幅回路12との間に、同一導電型の第6のMOSトランジスタが設けられる。そして、第5及び第6のMOSトランジスタのゲートには、差動増幅回路12を構成する各MOSトランジスタのゲート耐圧未満の電圧が印加される。このようにすると、差動増幅回路12のMOSトランジスタには、そのゲート耐圧を越える信号が供給されることはない。

【0018】

また、レベル変換回路11には第7及び第8のMOSトランジスタが接続される。具体的に、第7のMOSトランジスタは、ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続され、ドレインが前記第1及び第4のMOSトランジスタM1, M4のゲートに接続される。第8のMOSトランジスタは、ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続され、ドレインが前記第2及び第3のMOSトランジスタM2, M3のゲートに接続される。そして、レベル変換回路11の非活性時には、電流制限信号により第7及び第8のMOSトランジスタがオンされ、該各トランジスタを介して第1～第4のMOSトランジスタM1～M4のゲートが第1電源又は第2電源に接続される。これにより、第1～第4のMOSトランジスタM1～M4がオフされることで、レベル変換回路11（第1～第4のMOSトランジスタM1～M4）に流れる電流を停止することが可能となる。

【発明の効果】**【0019】**

本発明によれば、レベル変換回路の出力信号のレベル変動を低減し、差動増幅回路を的確に動作させることができる。

【発明を実施するための最良の形態】**【0020】**

（第1実施形態）

以下、本発明を具体化した第1実施形態を図3～図6に従って説明する。

図3は、本実施形態の半導体集積回路10を示す回路図である。

【0021】

半導体集積回路10には、その入力回路としてレベル変換回路11と差動増幅回路12とが設けられている。これらレベル変換回路11と差動増幅回路12とにおいて、外部から供給される入力信号IN, INBが内部回路13の動作電源に対応した信号レベルに変換される。

【0022】

レベル変換回路11は、第1～第4のMOSトランジスタM1～M4を備える。各トランジスタM1～M4の導電型はN型である。レベル変換回路11において、高電位側の第1電源VDD（例えば、1.2V）と低電位側の第2電源VSS（例えば、0V）との間には、第1のMOSトランジスタM1と第2のMOSトランジスタM2とが直列に接続されるとともに、第3のMOSトランジスタM3と第4のMOSトランジスタM4とが直接に接続されている。そして、第1及び第4のMOSトランジスタM1, M4のゲートには

入力信号INが供給され、第2及び第3のMOSトランジスタM2, M3のゲートには入力信号INの逆相の入力信号INBが供給される。

【0023】

また、レベル変換回路11において、第1のMOSトランジスタM1と第2のMOSトランジスタM2との接続点から出力信号OUTが outputされ、第3のMOSトランジスタM3と第4のMOSトランジスタM4との接続点から出力信号OUTBが outputされる。そして、出力信号OUTは差動增幅回路12の非反転入力端子に供給され、出力信号OUTBは差動增幅回路12の反転入力端子に供給される。この差動增幅回路12において各信号OUT, OUTBの差電圧が増幅され、その増幅後の信号Xが内部回路13に供給される。

【0024】

本実施形態のレベル変換回路11において、第1のMOSトランジスタM1のゲート長L1とゲート幅W1との比と第2のMOSトランジスタM2のゲート長L2とゲート幅W2との比が等しくなるよう形成される ($W_1/L_1 = W_2/L_2$)。また、第3のMOSトランジスタM3のゲート長L3とゲート幅W3との比と第4のMOSトランジスタM4のゲート長L4とゲート幅W4との比が等しくなるよう形成されている ($W_3/L_3 = W_4/L_4$)。この場合、入力信号IN, INBの電圧レベルが変動したとしても、レベル変換回路11における出力信号OUT, OUTBの電圧レベルの変動を抑えることが可能となる。

【0025】

以下、本実施形態のレベル変換回路11の作用を説明する。

MOSトランジスタが飽和領域で動作する場合、そのドレイン電流 I_{DS} は、次式(1)で表される。

【0026】

$$I_{DS} = \beta / 2 \times (V_{GS} - V_T)^2 \quad \dots \quad (1)$$

ここで、 V_{GS} はゲート・ソース間電圧、 V_T は閾値電圧、 β はMOSトランジスタの利得定数である。また、利得定数 β は次式(2)で表される。

【0027】

$$\beta = W / L \times \beta_0 \quad \dots \quad (2)$$

ここで、Wはゲート幅、Lはゲート長、 β_0 は導電係数である。

図3のレベル変換回路11において、第1のMOSトランジスタM1に流れるドレイン電流 $I_{DS}(M1)$ と第2のMOSトランジスタM2に流れるドレイン電流 $I_{DS}(M2)$ とは等しいことから、上記の式(1)より、次式(3)の関係が成り立つ。

【0028】

$$\beta(M1) / 2 \times (V_{GS}(M1) - V_T(M1))^2 = \beta(M2) / 2 \times (V_{GS}(M2) - V_T(M2))^2 \quad \dots \quad (3)$$

導電係数 β_0 は同一のプロセスで制作された同じ導電型のMOSトランジスタではほぼ同じ値になる。また、閾値電圧 V_T もバックゲート電圧に若干依存するがほぼ同じ電圧となる。そして、各MOSトランジスタM1, M2のゲート長Lとゲート幅Wの比を等しく設計すると、各MOSトランジスタM1, M2間で次式の関係が成り立つ。

【0029】

$$V_{GS}(M1) = V_{GS}(M2) \quad \dots \quad (4)$$

すなわち、第1のMOSトランジスタM1のゲートに印加された入力信号INは、第2のMOSトランジスタM2のゲートに印加されている入力信号INBだけレベルシフトされ、各MOSトランジスタM1, M2の接続点から出力信号OUTとして出力される。ここで、入力信号IN, INBの電圧レベルをそれぞれ $V(IN)$, $V(INB)$ としたとき、レベルシフト後の電圧レベル $V(OUT)$ は次式(5)で表される。

【0030】

$$V(OUT) = V(IN) - V(INB) \quad \dots \quad (5)$$

各入力信号IN, INBは相補信号であり、その振幅を V_{swing} とすると、式(5)は次式(6)となる。

【0031】

$$V_{(OUT)} = V_{swing} \dots (6)$$

つまり、出力信号OUTの電圧レベル $V_{(OUT)}$ は、入力信号IN, INBの電圧レベルには関係なく、振幅に等しい電圧レベルとなる。この電圧レベルの関係は、振幅が等しい入力信号であれば、入力信号の電圧レベルが変動しても、出力信号OUTの電圧レベル $V_{(OUT)}$ は一定に維持されることを示す。

【0032】

但し、上記の関係は、各MOSトランジスタM1, M2が飽和領域で動作する条件で成り立つものである。

具体的に、第2のMOSトランジスタM2は、出力信号OUTがHiレベルからLowレベルに遷移する際に、電圧 $V_{DS}(M2)$ が $V_{GS}(M2) - V_T$ よりも小さくなると、非飽和領域に入り、上記の式(6)の関係は成り立たなくなる。この場合、MOSトランジスタM2における電流-電圧特性は線形に近くなり、該MOSトランジスタM2のオン抵抗 R_{on} は以下の式(7)で表される。

【0033】

$$R_{on} = 1 / (\beta (V_{GS}(M2) - V_T(M2))) \dots (7)$$

式(1)より、ドレイン電流 I_{DS} は第1のMOSトランジスタM1のゲート・ソース間電圧 $V_{GS}(M1)$ の2乗に比例し、式(7)より、MOSトランジスタM2のオン抵抗 R_{on} はゲート・ソース間電圧 $V_{GS}(M2)$ に反比例することから、電圧レベル $V_{(OUT)}$ は入力信号IN, INBの電圧レベルに依存する。これは、次式(8)のように表される。

【0034】

$$V_{(OUT)} = 1 / 2 \times (V_{GS}(M1) - V_T(M1))^2 / (V_{GS}(M2) - V_T(M2)) \dots (8)$$

この式(8)で表される電圧レベルの依存性は実際には小さい。従って、上記の式(6)と式(8)の結果から、レベルシフト後の電圧レベル $V_{(OUT)}$ は、入力信号IN, INBの電圧レベルに対して、依存の非常に小さなレベルになる。

【0035】

ここで、各信号の電圧レベルの関係を図4に示す電圧波形を用いて説明する。

図4において、入力信号IN, INBが、Hレベル=2.4V, Lレベル=1.6Vで振幅する場合の電圧波形を実線で示し、Hレベル=1.4V, Lレベル=0.6Vで振幅する場合の電圧波形を破線で示している。

【0036】

ここで、入力信号IN, INBがいずれの入力レベル(IN, INB=2.4/1.6V, 1.4/0.6V)であっても、出力信号OUT, OUTBのHレベルは約0.8Vとなっている。一方、出力信号OUT, OUTBのLレベルは、入力レベルに応じて若干の依存性を持つものの、入力レベルが2.4/1.6Vである場合は約0.23Vとなり、入力レベルが1.4/0.6Vである場合は約0.04Vとなり、その依存は非常に小さいことがわかる。

【0037】

このように、本実施形態のレベル変換回路11では、入力信号IN, INBの電圧レベルに対し、依存の非常に小さな出力信号OUT, OUTBを得ることができる。そして、それら出力信号OUT, OUTBが差動増幅回路12に供給されるため、該差動増幅回路12において、入力信号IN, INBの電圧レベルに応じた特性変動が抑えられる。

【0038】

図5には、差動増幅回路12の具体的構成を示している。

差動増幅回路12には、定電流源14とPMOSトランジスタMP1, MP2とNMOSトランジスタMN1, MN2とが設けられており、PMOSトランジスタMP1のゲートにレベル変換回路11の出力信号OUTが供給され、PMOSトランジスタMP2のゲートに出力信号OUTBが供給される。

【0039】

定電流源14は第1電源VDDに接続され、該定電流源14の定電流がPMOSトラン

ジスタMP1, MP2のソースに供給される。PMOSトランジスタMP1のドレインはNMOSトランジスタMN1のドレインに接続され、PMOSトランジスタMP2のドレインは、NMOSトランジスタMN2のドレインに接続される。また、NMOSトランジスタMN1のドレインは、各NMOSトランジスタMN1, MN2のゲートに接続され、該各NMOSトランジスタMN1, MN2のソースは第2電源VSSに接続されている。そして、PMOSトランジスタMP2のドレインとNMOSトランジスタMN2のドレインとの接続点から信号Xが出力される。

【0040】

本実施形態の差動增幅回路12は、レベル変換回路11と同じ第1及び第2電源VDD, VSSに接続され、各電源VDD, VSSを動作電源としている。この場合、各電源VDD, VSSの電圧変動による動作特性の悪影響が防止される。

【0041】

ここで、差動增幅回路12の電源がレベル変換回路11の第1及び第2電源と異なる場合(図6(a)参照)、ノイズ等による電源電圧の変動が生じると、差動增幅回路12に入力される出力信号OUT, OUTBの電圧レベル(入力信号電圧レベル)は、レベル変換回路11の出力信号OUT, OUTBの電圧レベルに対して変動してしまう。また、外部から供給される各電源についてその規格範囲内で電圧レベルが変動する場合も同様に出力信号OUT, OUTBのレベル変動が生じてしまう。これに対して、本実施形態のように、レベル変換回路11と差動增幅回路12とを同じ第1電源VDD及び第2電源VSSに接続することにより、その変動分が抑制される(図6(b)参照)。

【0042】

また、本実施形態において、レベル変換回路11の各MOSトランジスタM1～M4は、差動增幅回路12の各MOSトランジスタMP1, MP2, MN1, MN2よりもゲート酸化膜を厚くすることにより、ゲート耐圧が高められている。具体的には、レベル変換回路11の各MOSトランジスタM1～M4は2.5Vのゲート耐圧を持ち、差動增幅回路12の各MOSトランジスタMP1, MP2, MN1, MN2は1.2Vのゲート耐圧を持つ。

【0043】

この構成により、レベル変換回路11における各MOSトランジスタM1～M4のゲートに、高電位側の第1電源VDDの電圧レベル(=1.2V)よりも高い電圧レベル(=2.4V)の入力信号IN, INBが供給される場合でも、該入力信号IN, INBをその振幅に応じた電圧レベルに変換することが可能となっている。

【0044】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) レベル変換回路11における第1のMOSトランジスタM1と第4のMOSトランジスタM4のゲートに入力信号INを入力し、第2のMOSトランジスタM2と第3のMOSトランジスタM3のゲートに前記入力信号INの逆相の入力信号INBを入力するようにした。このように、信号レベルが相補関係を有する入力信号IN, INBをレベル変換回路11に入力する場合、従来回路のように单一の入力信号INを入力する場合と異なり、レベル変換回路11の出力信号OUT, OUTBは一定の電圧レベルで振幅する。また、出力信号OUT, OUTBの差電圧も従来回路と比較して大きくなる。従って、このレベル変換回路11を用いることにより、差動增幅回路12を的確に動作させることができる。

【0045】

(2) レベル変換回路11において、MOSトランジスタM1, M3のゲート長とゲート幅との比をトランジスタM2, M4のゲート長とゲート幅との比と等しくしたので、電圧レベルが異なる入力信号IN, INBが入力される場合にも、出力信号OUT, OUTBの電圧レベルをほぼ一定に維持することができる。従って、レベル変換回路11を用いることにより、差動增幅回路12の入力レベルの変動が防止されるため、差動增幅回路12の出力信号Xの遅延時間や電圧レベルなどの回路特性の変動を抑制することができる。

【0046】

(3) レベル変換回路11と差動增幅回路12と同じ第1電源VDD及び第2電源VSSに接続したので、差動增幅回路12側から見た、電源変動によるレベル変換回路11の出力信号OUT, OUTBのレベル変動を抑えることができる。

【0047】

(4) レベル変換回路11において、各MOSトランジスタM1～M4のゲート耐圧を、第1電源VDDの電圧レベルよりも高くしたので、より広範囲の電圧レベルの入力信号をレベル変換することが可能となる。また、レベル変換回路11において、各MOSトランジスタM1～M4のゲート耐圧を高める場合、各MOSトランジスタにおけるゲート酸化膜厚を均一に厚くすればよい。この場合、ゲート耐圧を高めることによる回路特性への影響は少ない。

【0048】

(5) レベル変換回路11に相補の入力信号IN, INBが入力されることにより、各MOSトランジスタM1～M4のオン抵抗は、直列接続された一方のMOSトランジスタが高く、他方のMOSトランジスタが低くなる。つまり、レベル変換回路11では、入力信号IN, INBの信号レベルが反転しても、オン抵抗が高いMOSトランジスタとオン抵抗が低いMOSトランジスタとの直列回路が常に形成されることとなる。従って、レベル変換回路11は、その消費電流を低減する上で好ましい構成である。

【0049】

(第2実施形態)

以下、本発明を具体化した第2実施形態を説明する。

図7には、本実施形態のレベル変換回路11aと差動增幅回路12aとを示している。

【0050】

本実施形態のレベル変換回路11aは、上記第1実施形態と同様に第1～第4のMOSトランジスタM1～M4を備える。各MOSトランジスタM1～M4の導電型は、第1実施形態とは異なりP型である。

【0051】

このレベル変換回路11aにおいても、第1実施形態と同様に、高電位側の第1電源VDDと低電位側の第2電源VSSとの間には、第1のMOSトランジスタM1と第2のMOSトランジスタM2とが直列に接続されるとともに、第3のMOSトランジスタM3と第4のMOSトランジスタM4とが直接に接続されている。また、各MOSトランジスタM1～M4は、バックゲートがソースに接続されている。

【0052】

差動增幅回路12aには、PMOSトランジスタMP1, MP2とNMOSトランジスタMN1, MN2と定電流源14aとが設けられている。差動增幅回路12aにおいて、NMOSトランジスタMN1のゲートにレベル変換回路11aの出力信号OUTが供給され、NMOSトランジスタMN2のゲートに出力信号OUTBが供給される。NMOSトランジスタMN1, MN2のソースは互いに接続され、その接続点が定電流源14aを介して第2電源VSSに接続される。また、NMOSトランジスタMN1のドレインはPMOSトランジスタMP1のドレインに接続され、NMOSトランジスタMN2のドレインはPMOSトランジスタMP2のドレインに接続される。さらに、PMOSトランジスタMP1のドレインは、PMOSトランジスタMP1, MP2のゲートに接続され、各PMOSトランジスタMP1, MP2のソースが第1電源VDDに接続されている。そして、NMOSトランジスタMN2のドレインとPMOSトランジスタMP2のドレインとの接続点から信号Xが出力される。

【0053】

また、本実施形態のレベル変換回路11aでは、第1のMOSトランジスタM1と第2のMOSトランジスタM2の利得定数 β を等しくし、第3のMOSトランジスタM3と第4のMOSトランジスタM4の利得定数 β を等しくしている。

【0054】

上記の式(2)の利得定数 β を、さらに詳しく表すと、次式(9)のようになる。

$$\beta = W/L \times \epsilon_{ox} \times \mu / t_{ox} \quad \dots \quad (9)$$

ここで、 ϵ_{ox} はゲート酸化膜誘電率、 μ は平均表面移動度、 t_{ox} はゲート酸化膜厚である。

【0055】

これら ϵ_{ox} 、 μ 、 t_{ox} の値は製造プロセスによって決定される。本実施形態では、半導体集積回路10の設計時に、これらの値を操作することにより、第1及び第2のMOSトランジスタM1、M2の利得定数 β を等しく形成し、第3及び第4のMOSトランジスタM3、M4の利得定数 β を等しく形成する。このように利得定数 β を等しくすると、レベルシフト後の出力信号OUT、OUTBにおいて、入力信号IN、INBのレベル変動に起因する変動分が抑制される。

【0056】

また、各MOSトランジスタM1～M4の微細化を図ったレベル変換回路11aを設計する場合、各MOSトランジスタM1～M4のチャネル長変調定数が無視できなくなる。チャネル長変調定数は、MOSトランジスタの飽和領域で現れるドレイン・ソース間の抵抗成分に起因するものであり、上記の式(1)は、このチャネル長変調定数 λ を加味すると、次式(10)のように表される。

【0057】

$$I_{DS} = \beta / 2 \times (V_{GS} - V_T)^2 \times (1 + \lambda \times V_{DS}) \quad \dots \quad (10)$$

従って、各MOSトランジスタM1～M4の微細化を図る場合において、MOSトランジスタM1、M2のチャネル長変調定数 λ を等しくし、MOSトランジスタM3、M4のチャネル長変調定数 λ を等しくすると、出力信号OUT、OUTBのレベル変動が抑制される。

【0058】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) レベル変換回路11aにおいて、第1及び第2のMOSトランジスタM1、M2の利得定数 β を等しくし、第3及び第4のMOSトランジスタM3、M4の利得定数 β を等しくした。このように利得定数 β を等しくすると、上記第1実施形態と同様に、レベルシフト後の出力信号OUT、OUTBにおいて、入力信号IN、INBのレベル変動に起因する変動分を抑制することができる。この場合、入力信号IN、INBのレベルが変動しても、それに依存しない出力信号OUT、OUTBが差動增幅回路12aに供給されるため、差動增幅回路12aを的確に動作させることができる。

【0059】

(2) 差動增幅回路12aは、レベル変換回路11aと同じ第1及び第2電源VDD、VSSに接続されるため、上記第1実施形態と同様に、各電源VDD、VSSの電圧変動による動作特性の影響を抑制することができる。

【0060】

(3) 各MOSトランジスタM1～M4は、バックゲートがソースに接続されるので、各MOSトランジスタM1～M4における閾値電圧 V_T のバックゲート電圧に対する依存をなくすことができる。この場合、上記の式(4)の正確性が高められ、差動增幅回路12aの特性変動を確実に抑制できる。

【0061】

(4) レベル変換回路11aにおいて、MOSトランジスタM1、M2のチャネル長変調定数 λ を等しくし、MOSトランジスタM3、M4のチャネル長変調定数 λ を等しくすることにより、出力信号OUT、OUTBのレベル変動をより確実に抑制することができる。

【0062】

(第3実施形態)

以下、本発明を具体化した第3実施形態を説明する。

図8には、本実施形態のレベル変換回路11と差動增幅回路12とを示す。

【0063】

本実施形態のレベル変換回路11と差動增幅回路12とは異なる電源に接続されている。具体的に、レベル変換回路11は、高電位側の第1電源(=2.5V)と低電位側の第2電源(=0V)に接続されている。一方、差動增幅回路12は、高電位側の第3電源(=1.2V)と低電位側の第2電源(=0V)に接続されている。

【0064】

レベル変換回路11と差動增幅回路12の具体的な回路構成は、上記第1実施形態と同じである。レベル変換回路11における第1～第4のMOSトランジスタM1～M4のゲート耐圧は2.5Vであり、差動增幅回路12における複数のMOSトランジスタMP1, MP2, MN1, MN2(図5参照)のゲート耐圧は1.2Vである。

【0065】

また、本実施形態では、レベル変換回路11と差動增幅回路12との間に、N型の第5及び第6のMOSトランジスタM5, M6が設けられており、レベル変換回路11の出力信号が各MOSトランジスタM5, M6を介して差動增幅回路12に供給される。具体的には、レベル変換回路11における第1のMOSトランジスタM1と第2のMOSトランジスタM2との接続点は、第5のMOSトランジスタM5を介して差動增幅回路12の非反転入力端子に接続される。また、第3のMOSトランジスタM3と第4のMOSトランジスタM4との接続点は、第6のMOSトランジスタM6を介して差動增幅回路12の反転入力端子に接続されている。第5及び第6のMOSトランジスタM5, M6のゲートは、差動增幅回路12の高電位側の第3電源(=1.2V)に接続されている。

【0066】

このように、レベル変換回路11と差動增幅回路12との間にMOSトランジスタM5, M6を設けることにより、差動增幅回路12のMOSトランジスタのゲート耐圧を越える信号OUT, OUTBが差動增幅回路12に供給されることが防止される。

【0067】

図9には、本実施形態の動作波形図を示している。ここでは、Hレベル=2.4V、Lレベル=0.5Vで振幅する相補の入力信号IN, INBがレベル変換回路11に入力される。この場合、レベル変換回路11は、入力信号IN, INBをその振幅に応じた電圧レベルにレベルシフトし、Hレベルが1.9Vである出力信号OUTL, OUTLBを出力する。Hレベルの出力信号OUTL, OUTLBは、第5及び第6のMOSトランジスタM5, M6を介して電圧値が降下された出力信号OUTとして差動增幅回路12に供給される。具体的に、MOSトランジスタM5, M6のゲート電圧は1.2Vであるため、出力信号OUT, OUTBのHレベルは、そのゲート電圧(=1.2V)から閾値電圧VTHだけ低い電圧レベルとなる。

【0068】

このように、第5及び第6のMOSトランジスタM5, M6を設けることにより、差動增幅回路12に供給される信号OUT, OUTBの電圧レベルが1.2V-VTH以下となる。従って、差動增幅回路12の入力レベルが該差動增幅回路12のMOSトランジスタMP1, MP2のゲート耐圧を越えることはない。

【0069】

(第4実施形態)

以下、本発明を具体化した第4実施形態を説明する。

図10に示すように、本実施形態のレベル変換回路11bには、第1実施形態における第1～第4のMOSトランジスタM1～M4に加えて、第7及び第8のMOSトランジスタM7, M8が設けられている。該各MOSトランジスタM7, M8の導電型は、第1～第4のMOSトランジスタM1～M4と同じN型である。

【0070】

第1及び第4のMOSトランジスタM1, M4のゲートに第7のMOSトランジスタM7のドレインが接続され、該MOSトランジスタM7のソースが第2電源VSSに接続されている。また、第2及び第3のMOSトランジスタM2, M3のゲートに第8のMOS

トランジスタM8のドレインが接続され、該MOSトランジスタM8のソースが第2電源VSSに接続されている。そして、第7及び第8のMOSトランジスタM7, M8のゲートには電流制限信号INPが供給される。

【0071】

具体的に、半導体集積回路10の出荷試験時にHレベルの電流制限信号INPがレベル変換回路11bに供給されると、第7及び第8のMOSトランジスタM7, M8がオンする。このとき、第1～第4のMOSトランジスタM1～M4がオフ状態となり、第1～第4のMOSトランジスタM1～M4に流れる電流が停止される。このようにすれば、レベル変換回路11bの非活性時に、該回路11bの電流を削減することができる。

【0072】

これ以外の電流削減方法として、MOSトランジスタM1, M2及びトランジスタM3, M4に直列にMOSトランジスタを設け、レベル変換回路の電流経路を遮断する方法もある。この場合には、MOSトランジスタの追加によってレベル変換回路の特性悪化を招いてしまうが、本実施形態のレベル変換回路11bのように、MOSトランジスタM7, M8を設ける場合には、回路特性が悪化することもない。

【0073】

(第5実施形態)

以下、本発明を具体化した第5実施形態を説明する。

図11に示すように、本実施形態のレベル変換回路11cには、第1及び第4のMOSトランジスタM1, M4に加えて、第9及び第10のMOSトランジスタM9, M10が設けられている。該各MOSトランジスタM9, M10の導電型は、前記第1～第4のMOSトランジスタM1～M4と同じP型である。

【0074】

第1及び第4のMOSトランジスタM1, M4のゲートに第9のMOSトランジスタM9のドレインが接続され、該MOSトランジスタM9のソースが第1電源VDDに接続されている。また、第2及び第3のMOSトランジスタM2, M3のゲートに第10のMOSトランジスタM10のドレインが接続され、該MOSトランジスタM10のソースが第1電源VDDに接続されている。そして、第9及び第10のMOSトランジスタM9, M10のゲートには電流制限信号INPが供給される。

【0075】

このレベル変換回路11cにおいて、Lレベルの電流制限信号INPが供給されると、第9及び第10のMOSトランジスタM9, M10がオンする。このとき、第1～第4のMOSトランジスタM1～M4がオフ状態となり、第1～第4のMOSトランジスタM1～M4に流れる電流が停止される。このようにすれば、レベル変換回路11cの非活性時に、該回路11cの電流を削減することができる。また、レベル変換回路11cの回路特性が悪化することもない。

【0076】

(第6実施形態)

以下、本発明を具体化した第6実施形態を説明する。

図12には本実施形態のレベル変換回路11dを示し、図13にはその動作波形図を示す。

【0077】

本実施形態のレベル変換回路11dは、第11及び第12のMOSトランジスタM11, M12、インバータ回路15を追加した点が第4実施形態のレベル変換回路11bと相違する。第11及び第12のMOSトランジスタM11, M12の導電型はP型である。

【0078】

第11のMOSトランジスタM11は、ソースが第1のMOSトランジスタM1のドレイン（第1電源VDD）に、トレインが第1のMOSトランジスタM1のソースに接続されている。また、第12のMOSトランジスタM12は、ソースが第3のMOSトランジスタM3のドレイン（第1電源VDD）に、ドレインが第3のMOSトランジスタM3の

ソースに接続されている。各MOSトランジスタM11, M12のゲートには、電流制限信号INPがインバータ回路15を介して逆相信号に反転され供給される。

【0079】

上記第4実施形態では、Hレベルの電流制限信号INPによりレベル変換回路11bが非活性化され、第1～第4のMOSトランジスタM1～M4がオフされると、該レベル変換回路11bの出力（出力信号OUT, OUTB）がハイインピーダンスになる。この場合、次段の差動增幅回路12において貫通電流が流れるといった問題が懸念される。これに対し、本実施形態のレベル変換回路11bでは、その非活性化時において、レベル変換回路11bの出力（出力信号OUT, OUTB）が第1電源VDD（=1.2V）の電圧レベルに固定される。このようにすると、差動增幅回路12におけるPMOSトランジスタMP1, MP2（図5参照）が確実にオフされるので、貫通電流を防止することができる。

【0080】

尚、上記各実施形態は、以下の態様で実施してもよい。

・上記第1実施形態では、レベル変換回路11の各MOSトランジスタM1～M4について、直列接続された一方のMOSトランジスタM1, M3におけるゲート長とゲート幅との比と他方のトランジスタM2, M4におけるゲート長とゲート幅との比を等しくするものであったが、それに限定されるものではない。具体的に、入力信号IN, INBのレベル変動に応じた入力回路の遅延時間がインターフェース規格の範囲内となるようにゲート幅とゲート長の比を設定するものであればよい。

【0081】

図14には、ゲート長Lとゲート幅Wとの比（W/L）と入力回路（レベル変換回路11と差動增幅回路12とを含む回路）の遅延時間tPDとの関係を示している。なおここでは、入力信号IN, INBが1.4/0.6Vで振幅する場合のデータと、2.4V/1.6Vで振幅する場合のデータをプロットしている。

【0082】

図14に示されるように、第1のMOSトランジスタM1におけるゲート長Lとゲート幅Wとの比W/L(M1)が第2のMOSトランジスタM2における比W/L(M2)と等しい場合（=1の場合）、入力信号IN, INBのレベル（入力レベル）が变っても遅延時間tPDはほぼ等しい。同様に、MOSトランジスタM1の比W/L(M1)がMOSトランジスタM2の比W/L(M2)の0.5倍である場合も遅延時間tPDは等しい。一方、MOSトランジスタM1の比W/L(M1)がMOSトランジスタM2の比W/L(M2)よりも大きくなるほど、入力レベルに応じた遅延時間tPDの時間差が大きくなる。例えば、MOSトランジスタM1の比W/L(M1)がMOSトランジスタM2の比W/L(M2)の5倍となる場合には、遅延時間tPDは0.2nsの時間差が生じてしまう。

【0083】

ここで、入力信号IN, INBが666MHzの周期、50%のデューティ比の信号であり、50%±5%の規格範囲内に収めるように入力回路を設計する場合、入力信号の1周期は1.5nsとなり、その5%は75psとなる。よって、図14において、一方の入力レベルを基準（50%）とし、遅延時間tPDの時間差が75ps以下である場合には、入力レベルが変動しても、50%±5%の規格範囲内に収めることが可能となる。つまり、MOSトランジスタM1の比W/L(M1)がMOSトランジスタM2の比W/L(M2)の3倍以下となるようレベル変換回路11を形成すると、半導体集積回路10のインターフェース規格を満足することができ、入力信号IN, INBのレベルが変動する場合でも、半導体集積回路10を適切に動作させることができる。なお、このように形成したレベル変換回路11は、入力信号INとその逆相の入力信号INBを入力するものに限定されるものではなく、逆相の入力信号INBの代わりにリファレンス電圧を入力してもよい。

【0084】

・第6実施形態では、レベル変換回路11bの非活性化時に、その出力を第1電源VDDに接続する構成としたがこれに限定されるものではなく、差動增幅回路12の構成によ

って適宜変更することができる。例えば、図7に示す差動増幅回路12aの構成を採用する場合では、レベル変換回路11aの出力を第2電源VSSに接続するように構成する。

【0085】

・上記各実施形態において、半導体集積回路10の入力回路としてレベル変換回路11とその後段に差動増幅回路12を設けるものであるがこれに限定されるものではなく、レベル変換回路11の前段に差動増幅回路を追加した入力回路に本発明を適用してもよい。

【0086】

上記各実施の形態から把握できる技術的思想を以下に記載する。

(付記1) 入力信号の電圧レベルをレベルシフトして出力するレベル変換回路と、該レベル変換回路の出力信号に基づいて動作する差動増幅回路とが設けられた半導体集積回路であって、

前記レベル変換回路は、同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1及び第2のMOSトランジスタの接続点と第3及び第4トランジスタの接続点とから出力信号を出力する回路であり、

前記レベル変換回路における第1のMOSトランジスタと第4のMOSトランジスタのゲートに入力信号が供給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートに前記入力信号の逆相の入力信号が供給されることを特徴とする半導体集積回路。

(付記2) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下としたことを特徴とする付記1に記載の半導体集積回路。

(付記3) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比と等しくしたことを特徴とする付記1に記載の半導体集積回路。

(付記4) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタの利得定数を他方のMOSトランジスタの利得定数と等しくしたことを特徴とする付記1に記載の半導体集積回路。

(付記5) 入力信号の電圧レベルをレベルシフトして出力するレベル変換回路と、該レベル変換回路の出力信号に基づいて動作する差動増幅回路とが設けられた半導体集積回路であって、

前記レベル変換回路は、同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1のMOSトランジスタと第4のMOSトランジスタのゲートに第1の入力信号が供給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートに第2の入力信号が供給され、前記第1及び第2のMOSトランジスタの接続点から第1の出力信号を出力するとともに第3及び第4トランジスタの接続点から第2の出力信号を出力する回路であり、

前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下としたことを特徴とする半導体集積回路。

(付記6) 前記第2の入力信号は、前記第1の入力信号の逆相信号であることを特徴とする付記5に記載の半導体集積回路。

(付記7) 前記差動増幅回路は、前記第1電源と第2電源とに接続され、各電源電圧に基づいて動作することを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記8) 前記第1～第4のMOSトランジスタは、バックゲートがソースに接続されることを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記9) 前記差動増幅回路は複数のMOSトランジスタを含み、前記レベル変換回路の第1～第4のMOSトランジスタは、前記差動増幅回路の各MOSトランジスタよりも高

いゲート耐圧を有することを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記10) 前記差動増幅回路は、前記第1電源と第2電源とに接続され、各電源電圧に基づいて動作する回路であり、

前記差動増幅回路は複数のMOSトランジスタを含み、前記レベル変換回路の第1～第4のMOSトランジスタは、前記差動増幅回路の各トランジスタよりも高いゲート耐圧を有し、

前記第1電源と第2電源とのうちの高電位側の電源よりも高い電圧レベルの入力信号が前記レベル変換回路に入力されることを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記11) 前記第1及び第2のMOSトランジスタの接続点と前記差動増幅回路との間に、前記同一導電型の第5のMOSトランジスタを設けるとともに、前記第3及び第4のMOSトランジスタの接続点と前記差動増幅回路との間に、前記同一導電型の第6のMOSトランジスタを設け、前記第5及び第6のMOSトランジスタのゲートには、前記差動増幅回路を構成する各MOSトランジスタのゲート耐圧未満の電圧を印加することを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記12) ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続され、ドレインが前記第1及び第4のMOSトランジスタのゲートに接続される第7のMOSトランジスタと、

ゲートに電流制限信号が供給され、ソースが第1電源と第2電源のいずれかの電源に接続され、ドレインが前記第2及び第3のMOSトランジスタのゲートに接続される第8のMOSトランジスタと

を備えたことを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記13) 前記第1～第4のMOSトランジスタの導電型はN型であり、

ゲートに電流制限信号が供給され、ソースが前記第1電源と第2電源とのうちの低電位側の電源に接続され、ドレインが前記第1及び第4のMOSトランジスタのゲートに接続されるN型の第7のMOSトランジスタと、

ゲートに電流制限信号が供給され、ソースが前記低電位側の電源に接続され、ドレインが前記第2及び第3のMOSトランジスタのゲートに接続されるN型の第8のMOSトランジスタと

を備えたことを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記14) 前記第1～第4のMOSトランジスタの導電型はP型であり、

ゲートに電流制限信号が供給され、ソースが前記第1電源と第2電源とのうちの高電位側の電源に接続され、ドレインが前記第1及び第4のMOSトランジスタのゲートに接続されるP型の第9のMOSトランジスタと、

ゲートに電流制限信号が供給され、ソースが前記高電位側の電源に接続され、ドレインが前記第2及び第3のMOSトランジスタのゲートに接続されるP型の第10のMOSトランジスタと

を備えたことを特徴とする付記1～6のいずれかに記載の半導体集積回路。

(付記15) 前記第1のMOSトランジスタと第2のMOSトランジスタとの接続点を、前記第1電源と第2電源との間の所定電圧に固定するための第11のMOSトランジスタと、

前記第3のMOSトランジスタと第4のMOSトランジスタとの接続点を、前記第1電源と第2電源との間の所定電圧に固定するための第12のMOSトランジスタと
を備えたことを特徴とする付記12～14のいずれかに記載の半導体集積回路。

(付記16) 同一導電型の第1～第4のMOSトランジスタを備え、第1電源と第2電源との間に、第1及び第2のMOSトランジスタが直列に接続されるとともに、第3及び第4のMOSトランジスタが直列に接続され、前記第1及び第2のMOSトランジスタの接続点と第3及び第4のMOSトランジスタの接続点とから出力信号を出力するレベル変換回路であって、

前記第1のMOSトランジスタと第4のMOSトランジスタのゲートには入力信号が供

給され、前記第2のMOSトランジスタと第3のMOSトランジスタのゲートには前記入力信号の逆相の入力信号が供給されることを特徴とするレベル変換回路。

(付記17) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比の3倍以下としたことを特徴とする付記16に記載のレベル変換回路。

(付記18) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタのゲート長とゲート幅との比を他方のトランジスタのゲート長とゲート幅との比と等しくしたことを特徴とする付記16に記載のレベル変換回路。

(付記19) 前記各MOSトランジスタについて、直列接続された一方のMOSトランジスタの利得定数を他方のMOSトランジスタの利得定数と等しくしたことを特徴とする付記16に記載のレベル変換回路。

【図面の簡単な説明】

【0087】

【図1】本発明の原理説明図である。

【図2】レベル変換回路の動作波形図である。

【図3】第1実施形態を示す回路図である。

【図4】レベル変換回路の動作波形図である。

【図5】差動增幅回路を示す回路図である。

【図6】(a)は電源が異なる場合、(b)は電源が同じ場合での電源変動による変動分を示す説明図である。

【図7】第2実施形態を示す回路図である。

【図8】第3実施形態を示す回路図である。

【図9】第3実施形態のレベル変換回路の動作波形図である。

【図10】第4実施形態を示す回路図である。

【図11】第5実施形態を示す回路図である。

【図12】第6実施形態を示す回路図である。

【図13】第6実施形態のレベル変換回路の動作波形図である。

【図14】ゲート幅とゲート長の比と入力回路の遅延時間との関係を示す説明図である。

【図15】従来のインターフェース回路を示す回路図である。

【図16】プッシュプル回路の動作波形図である。

【符号の説明】

【0088】

10 半導体集積回路

11, 11a～11d レベル変換回路

12, 12a 差動增幅回路

β 利得定数

I N, I N B 入力信号

I N P 電流制限信号

L, L1～L4 ゲート長

M1～M12 第1～第12のMOSトランジスタ

M P 1, M P 2, M N 1, M N 2 差動增幅回路を構成するMOSトランジスタ

O U T, O U T B 出力信号

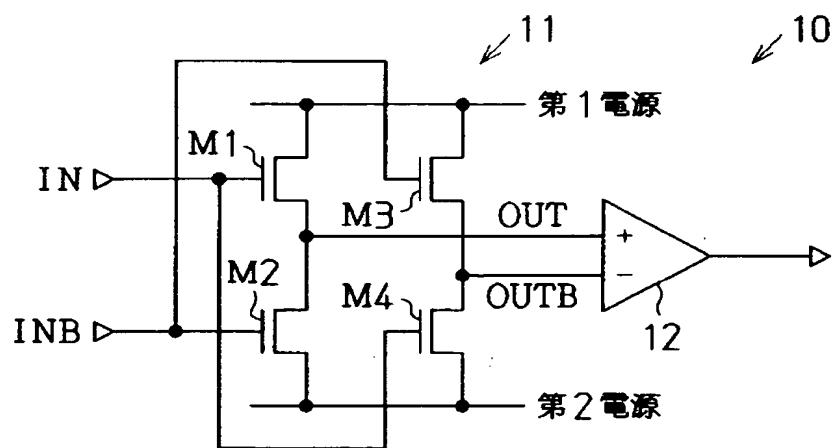
V D D 第1電源

V S S 第2電源

W, W1～W4 ゲート幅

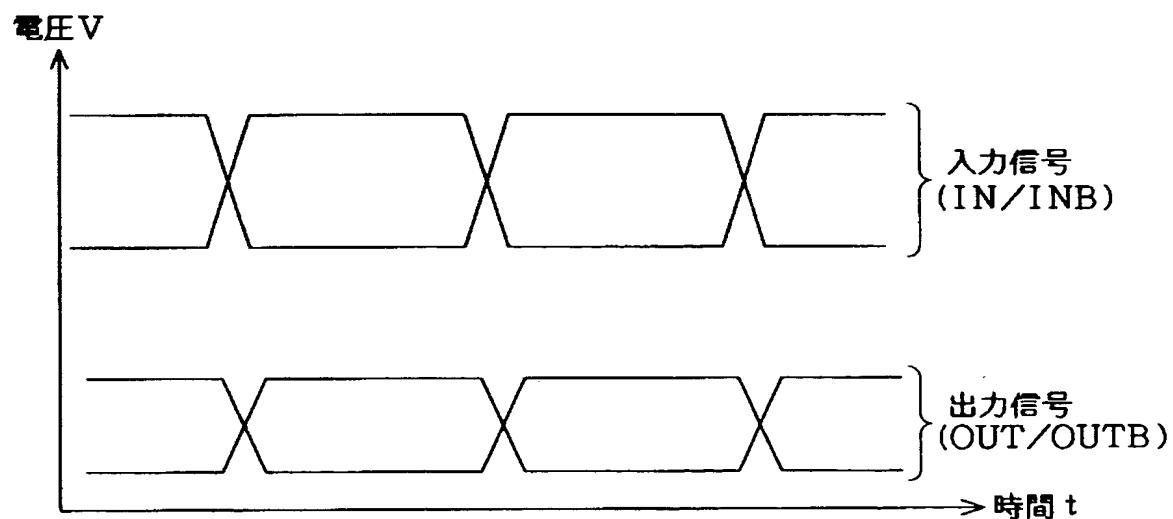
【書類名】図面
【図1】

本発明の原理説明図



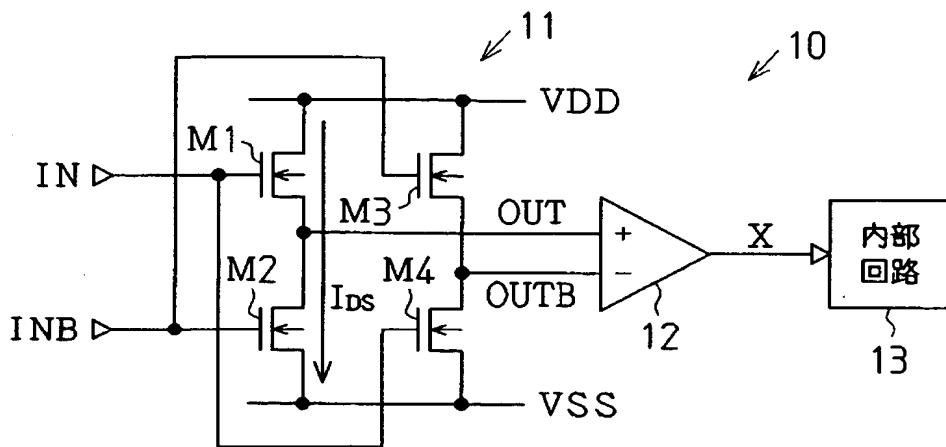
【図2】

レベル変換回路の動作波形図



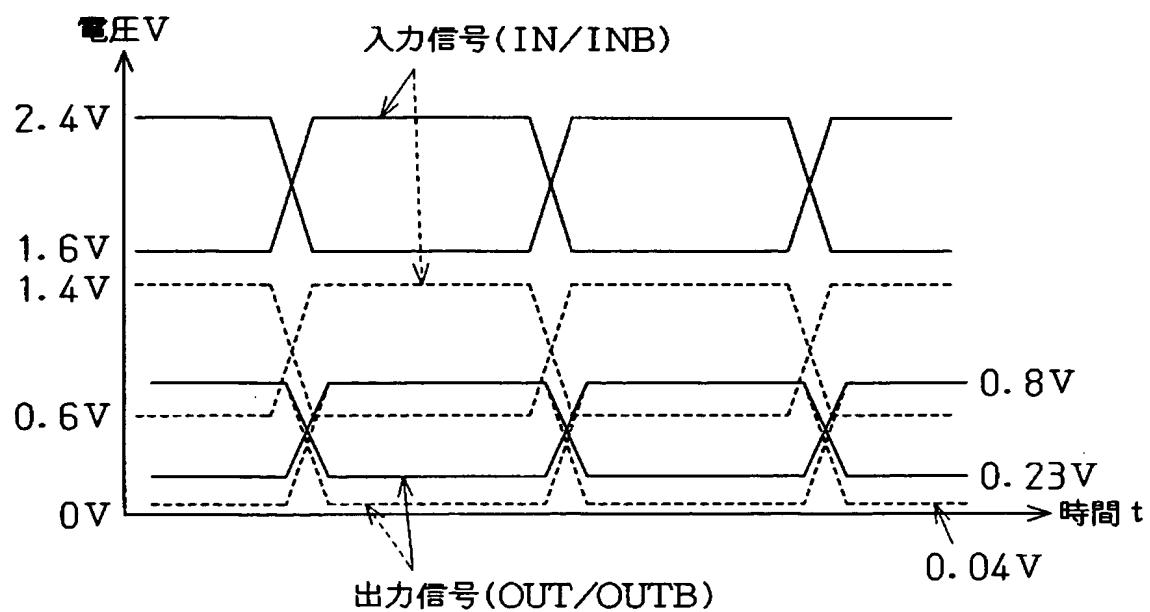
【図3】

第1実施形態を示す回路図



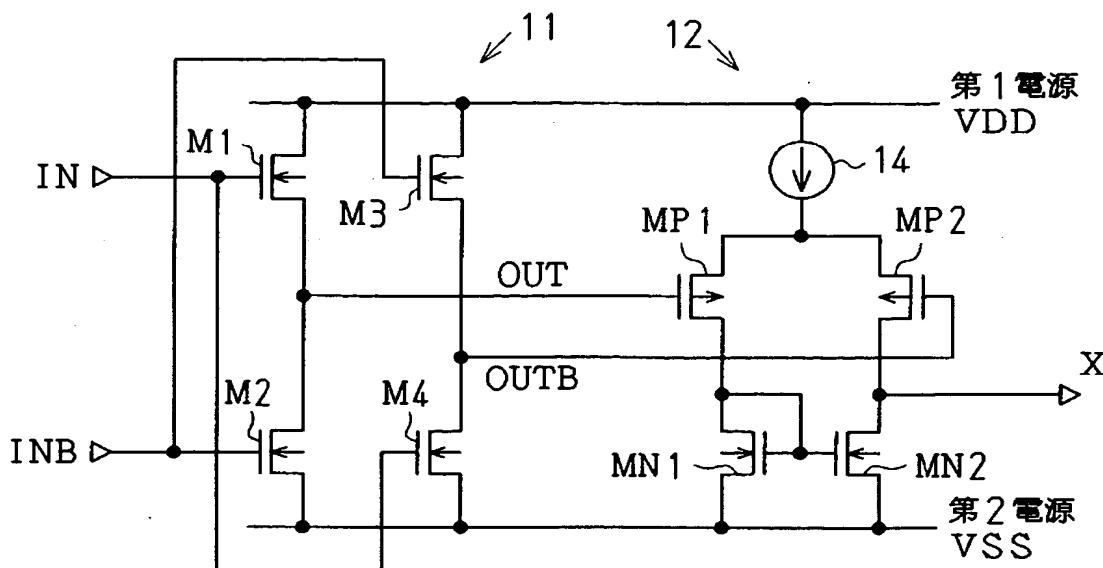
【図4】

レベル変換回路の動作波形図



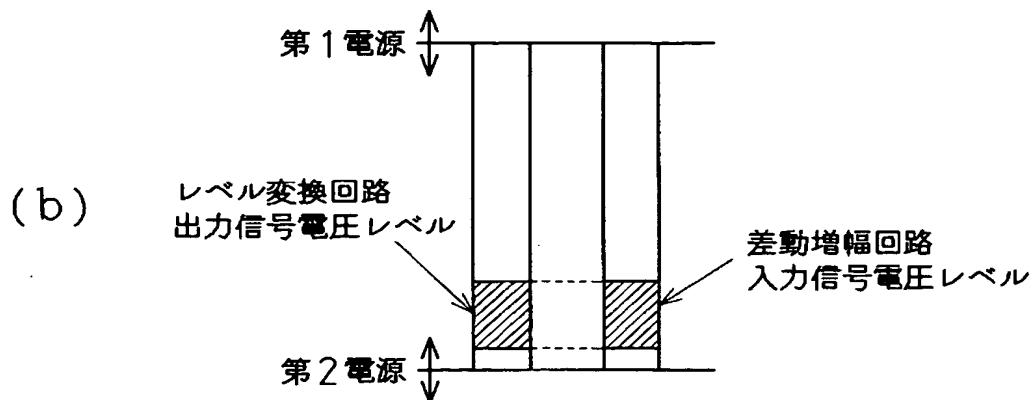
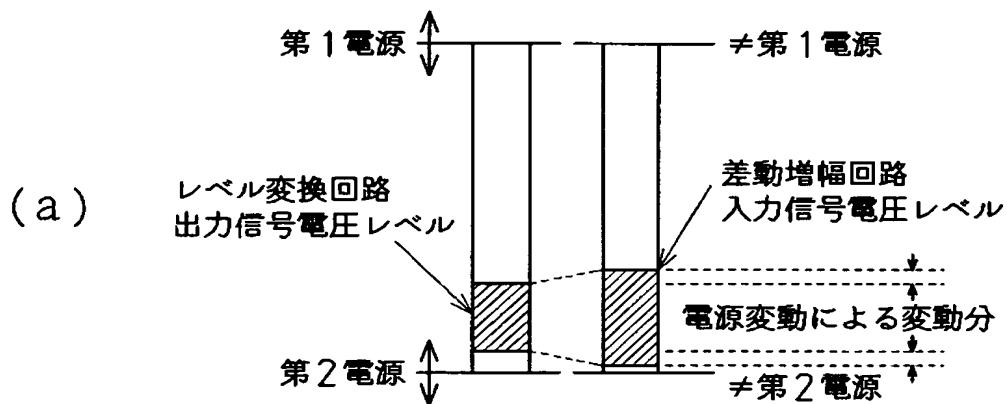
【図5】

差動増幅回路を示す回路図



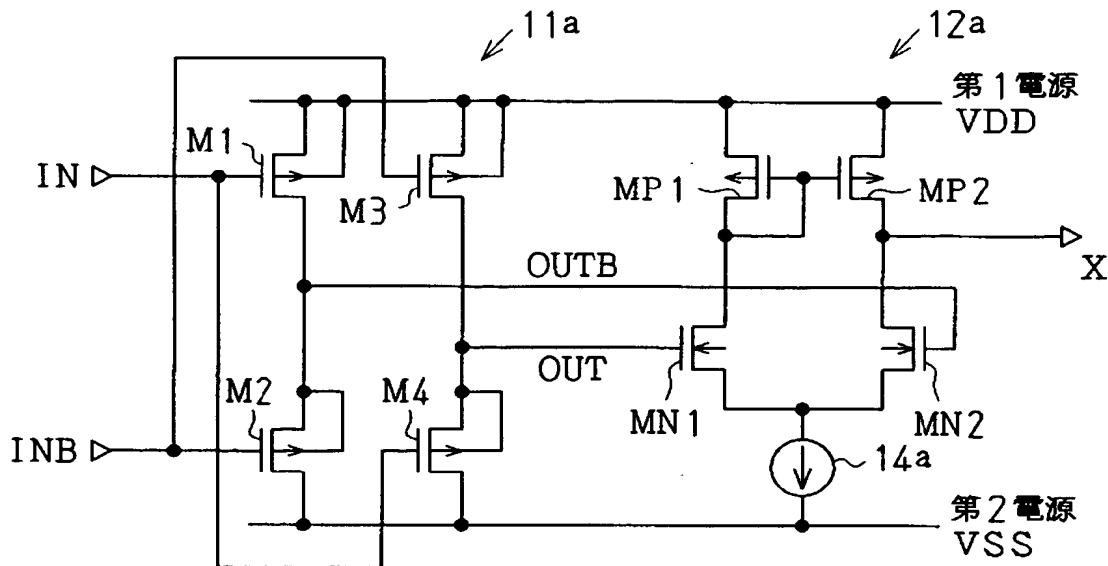
【図6】

電源変動による変動分を示す説明図



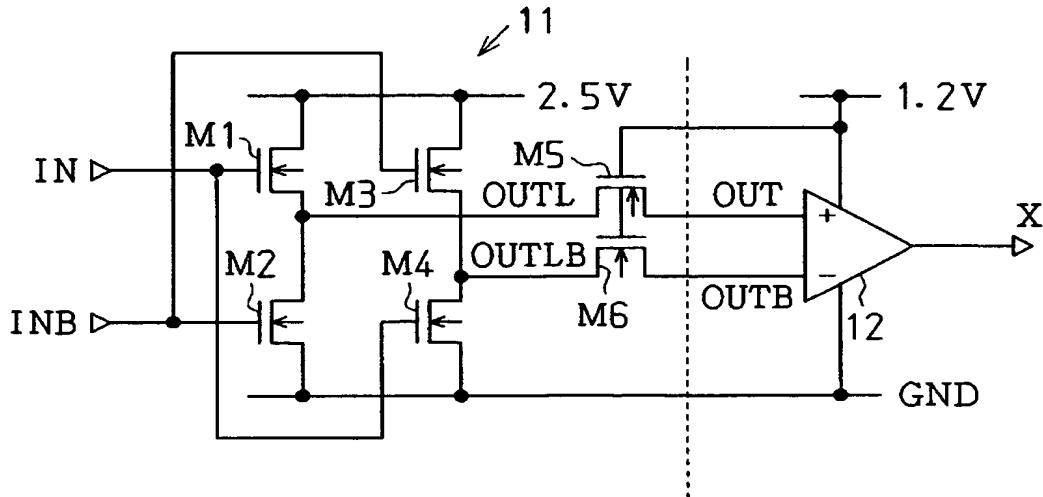
【図 7】

第2実施形態を示す回路図



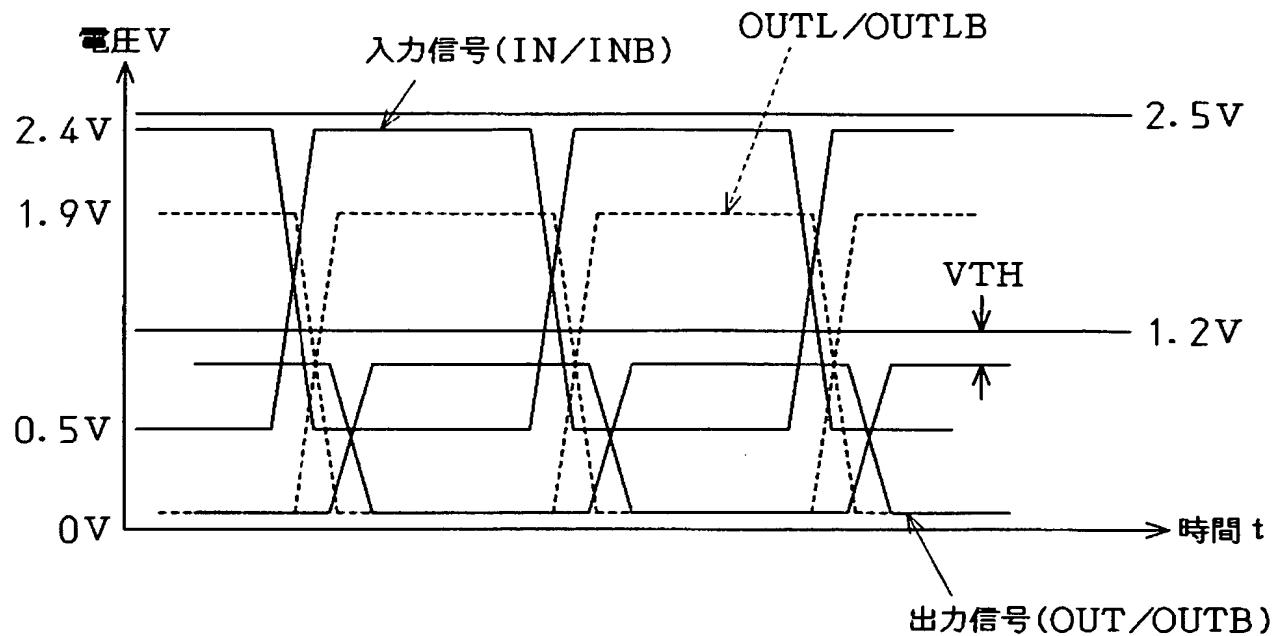
【図 8】

第3実施形態を示す回路図



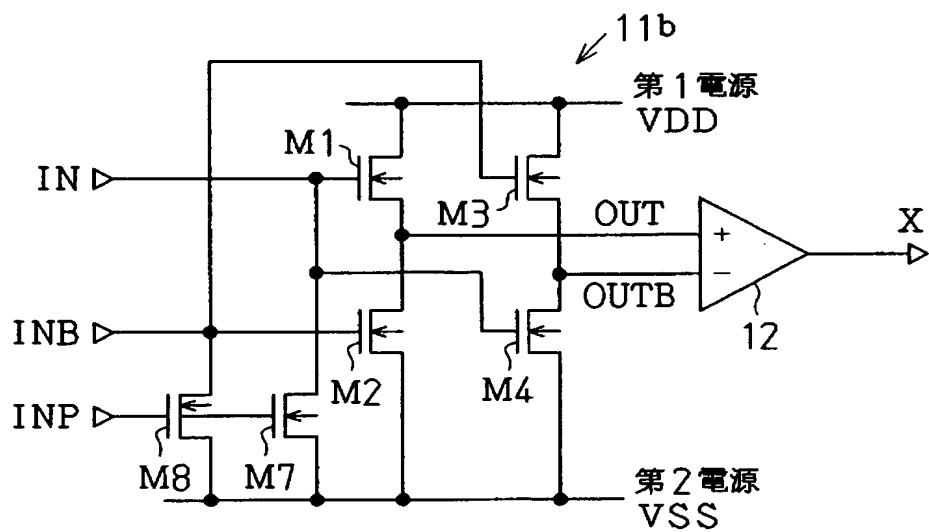
【図9】

第3実施形態のレベル変換回路の動作波形図



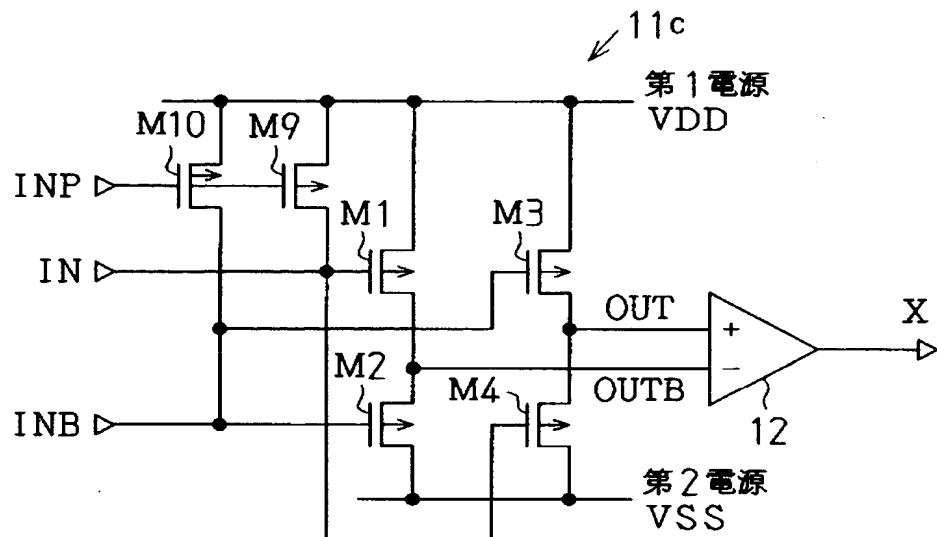
【図10】

第4実施形態を示す回路図



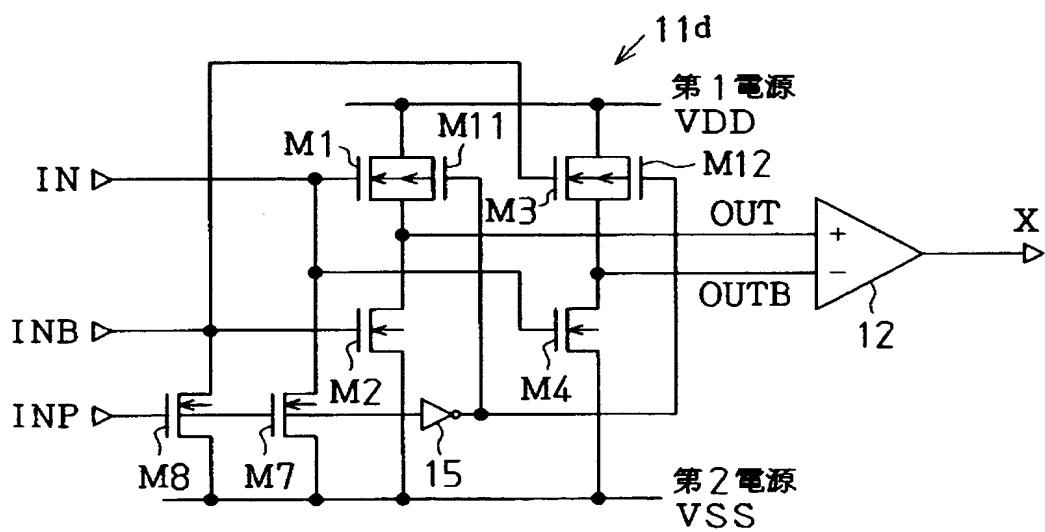
【図11】

第5実施形態を示す回路図



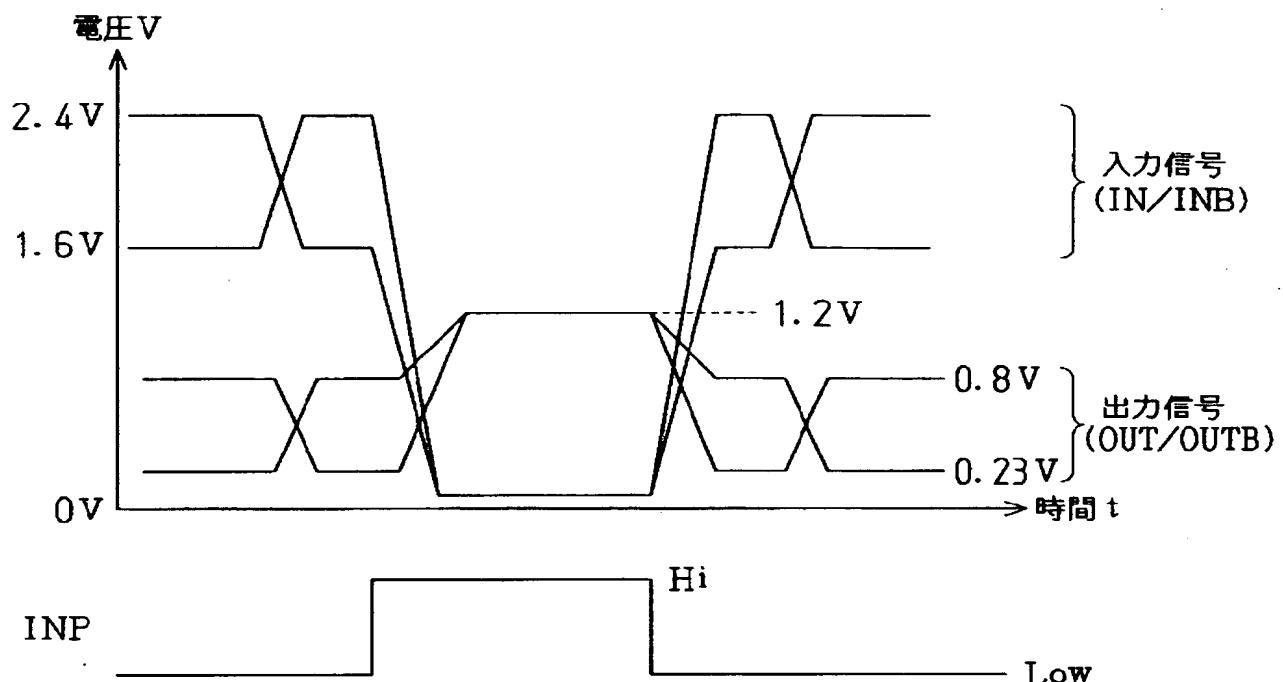
【図12】

第6実施形態を示す回路図



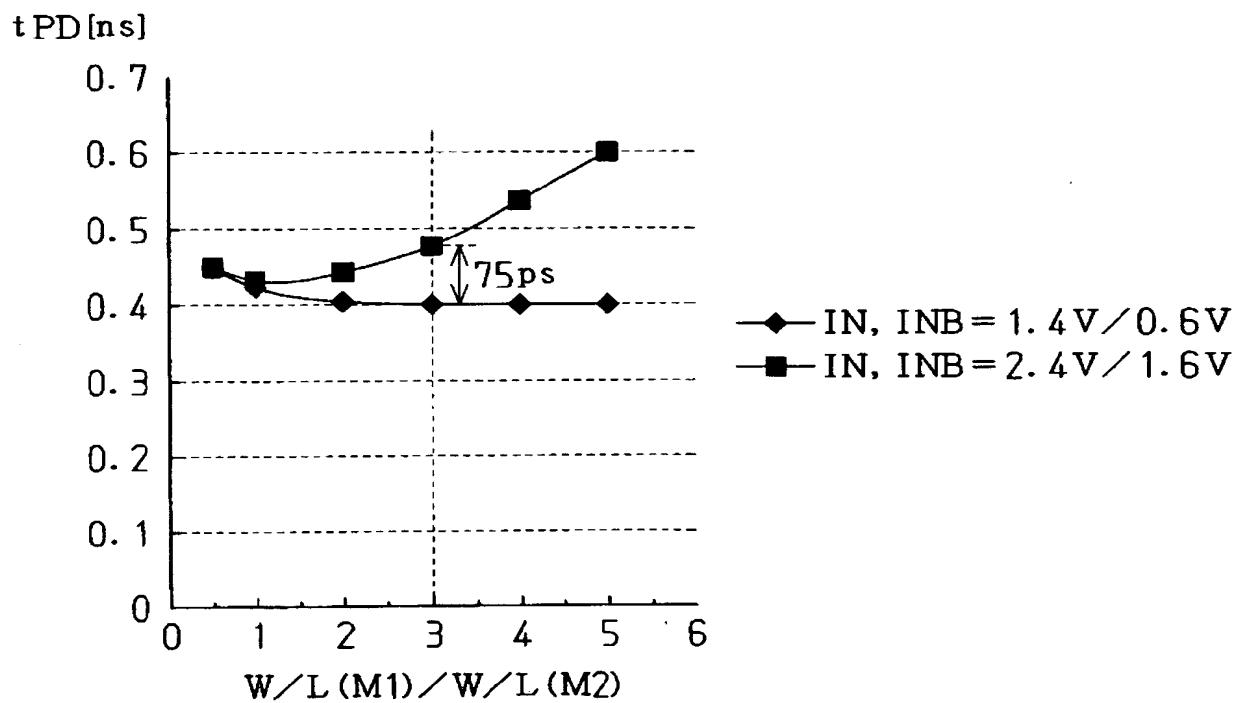
【図13】

第6実施形態のレベル変換回路の動作波形図



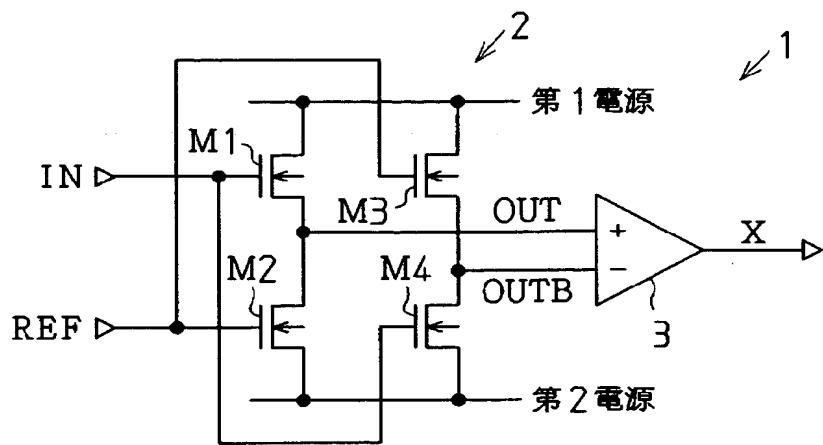
【図14】

ゲート幅とゲート長の比と入力回路の遅延時間との関係を示す説明図



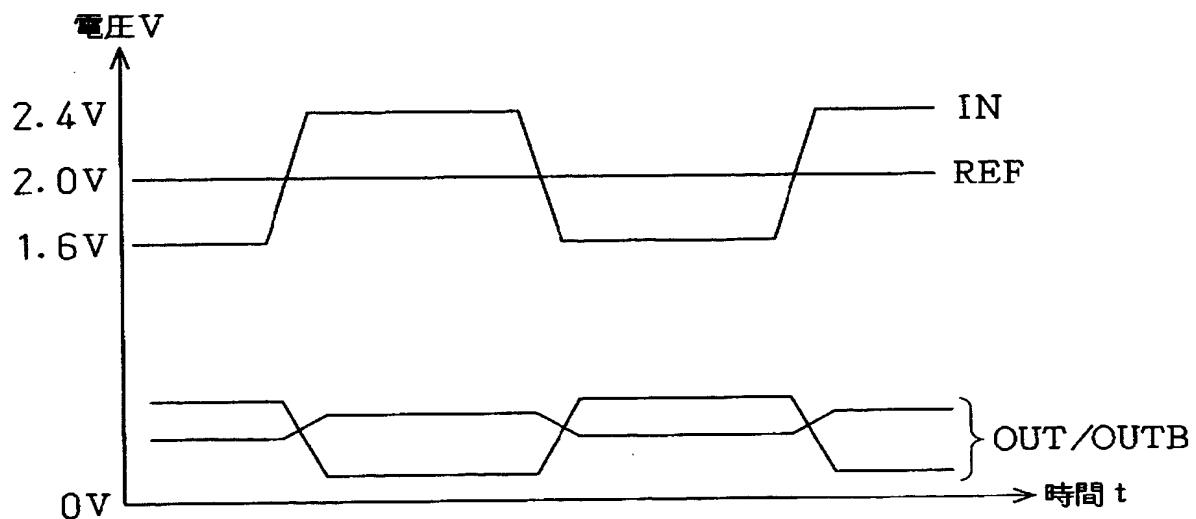
【図15】

従来のインターフェース回路を示す回路図



【図16】

プッシュプル回路の動作波形図





【書類名】要約書

【要約】

【課題】 レベル変換回路の出力信号のレベル変動を低減し、差動增幅回路を的確に動作させることができる半導体集積回路を提供する。

【解決手段】 半導体集積回路10には、入力信号IN, INBの電圧レベルをレベルシフトして出力するレベル変換回路11と、該レベル変換回路11の出力信号OUT, OUTBに基づいて動作する差動增幅回路12とが設けられている。レベル変換回路11において、第1電源と第2電源との間に、第1及び第2のMOSトランジスタM1, M2が直列に接続されるとともに、第3及び第4のMOSトランジスタM3, M4が直列に接続される。第1及び第4のMOSトランジスタM1, M4のゲートに入力信号INが供給され、第2及び第3のMOSトランジスタM2, M3のゲートに入力信号INの逆相の入力信号INBが供給される。

【選択図】 図1

特願 2003-363136

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社